

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No.: CIT/K-135

#2
LTYSON
PATENT 02-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :

Hwa Young LYU :

Serial No.: New U.S. Patent Application :

Filed: January 11, 2001 :

For: DEVICE AND METHOD FOR DECODING VIDEO SIGNAL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 1414/2000 filed January 12, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

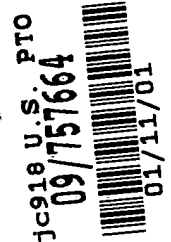
Carl R. Wesolowski

Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: January 11, 2001

DYK/kam



#2

1c918 U.S. PRO

09/757664



01/11/01

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 :
Application Number

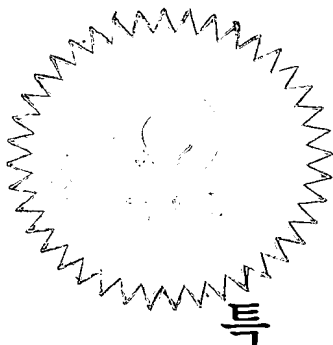
특허출원 2000년 제 1414 호

출원년월일 :
Date of Application

2000년 01월 12일

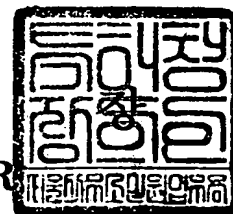
출원인 :
Applicant(s)

엘지전자 주식회사



2000 12 27
 년 월 일

특허청
COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0010		
【제출일자】	2000.01.12		
【국제특허분류】	H04N		
【발명의 명칭】	비디오 디코더 및 디코딩 방법		
【발명의 영문명칭】	Video decoder and method for the same		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-1998-000275-8		
【대리인】			
【성명】	김용인		
【대리인코드】	9-1998-000022-1		
【포괄위임등록번호】	1999-001100-5		
【대리인】			
【성명】	심창섭		
【대리인코드】	9-1998-000279-9		
【포괄위임등록번호】	1999-001099-2		
【발명자】			
【성명의 국문표기】	유화영		
【성명의 영문표기】	LYU, Hwa-Young		
【주민등록번호】	691007-1535218		
【우편번호】	137-040		
【주소】	서울특별시 서초구 반포동 주공아파트 341-405		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원

1020000001414

2000/12/2

【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】	430,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

디지털 TV 수신기의 비디오 디코더 및 디코딩 방법에 관한 것으로서, 특히 다양한 프레임 레이트와 필름 모드의 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 디코딩함으로써, PIP, POP, 멀티 채널 방송등으로 여러 개의 비디오 비트스트림을 동시에 처리해야 할 필요가 있을 때 여러 개의 비디오 디코더를 추가로 사용하는 대신에 하나의 HD급 비디오 디코더로 처리가 가능하므로 필요한 회로와 메모리의 크기를 줄이고 이를 ASIC에 적용할 경우 IC의 크기를 더욱 작게 함으로써 경쟁력을 높일 수 있다.

【대표도】

도 1

【색인어】

멀티 디코딩, 타임 멀티플렉싱

【명세서】

【발명의 명칭】

비디오 디코더 및 디코딩 방법{Video decoder and method for the same}

【도면의 간단한 설명】

도 1은 본 발명에 따른 비디오 디코더의 구성 블록도

도 2 내지 도 7의 (a),(b),(c)는 도 1의 비디오 디코더의 동작 예들을 나타낸 타이-

밍도

도면의 주요부분에 대한 부호의 설명

101 : 시퀀스 레벨 헤더 레지스터	102 : 싱글 비디오 디코딩부
102-1 : 선택스 파싱부	102-2 : 가변길이디코딩부(VLD)
102-3 : 역스캔(IS)부	102-4 : 역양자화부(IQ)
102-5 : 역이산코사인변환(IDCT)부	102-6 : 움직임보상부(MC)
102-7 : 가산기	103 : 메모리 중재기
104 : 메모리	105 : 멀티 디코딩 제어부
106 : 멀티 디스플레이 제어부	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 디지털 티브이(DTV) 수신기에 관한 것으로서, 특히 여러개의 비디오 비트스트림을 동시에 디코딩할 수 있는 비디오 디코더 및 디코딩 방법에 관한 것이다.

<12> 일반적으로, MPEG(Moving Picture Experts Group)-2 비디오 규격은 DTV, DVD(Digital Versatile Disc)등에서 영상을 압축하여 전송 또는 저장하고 이것을 재생하는데 널리 사용되고 있다.

<13> 특히, DTV에서의 MPEG-2 비디오 디코더는 MP@HL 수준의 HD(High Definition)급 영상을 디코딩할 수 있어야 하고 이것이 1개의 ASIC(Applicable Specific Integrated Circuit)으로 구현되고 있다.

<14> 근래에는 여기에 더하여 PIP(Picture In Picture), POP(Picture Out Picture)등과 같은 DTV의 다양한 디스플레이 기능을 구현하기 위하여 여러 개의 비디오 디코더가 사용되기도 하며, 1개의 ASIC안에 여러 개의 비디오 디코더를 집어넣기 위한 노력도 이루어지고 있다. 여기서, PIP란 메인 화면 내에 하나 이상의 부화면이 디스플레이되는 것을 말하고, POP란 메인 화면의 좌측(또는 우측)에 하나 이상의 서브 화면이 디스플레이되는 것을 말한다.

【발명이 이루고자 하는 기술적 과제】

<15> 그런데, 상기와 같이 여러 개의 비디오 비트스트림을 동시에 디코딩하기 위하여 필요한 개수만큼 비디오 디코더를 여러 개 사용하게 되면 IC의 면적도 커질뿐 아니라 비용도 증가하는 문제점이 있다.

<16> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 1개의 비디오 디코더로 동시에 여러개의 비디오 비트스트림을 디코딩할 수 있는 비디오 디코더 및 디코딩 방법을 제공함에 있다.

【발명의 구성 및 작용】

<17> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 비디오 디코더는, 비트스트림 버퍼와 프레임 메모리 영역으로 구분되며, 각 영역은 멀티 디코딩하는 비디오 비트스트림의 수에 따라 다시 구분되어 다수개의 입력 비디오 비트스트림을 해당 영역에 각각 저장하는 메모리와, 상기 메모리를 통해 입력되는 다수개의 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 비디오 디코딩을 수행한 후 상기 메모리의 해당 영역에 저장하는 싱글 비디오 디코딩부와, 각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따른 디스플레이 번호를 할당하고, 디스플레이 동기에 맞추어 디코딩된 데이터를 메모리로부터 읽어 와 타임 멀티플렉싱하게 출력하며, 출력한 뒤에는 상기 해당 디스플레이 번호를 감소시키는 멀티 디스플레이 제어부와, 상기 멀티 디스플레이 제어부의 디스플레이 상태에 따라 다수개의 비디오 비트스트림 중에서 현재 디코딩해야 할 비디오 비트스트림을 결정하는 멀티 디코딩 제어부를 포함하여 구성되는 것을 특징으로 한다.

<18> 상기 비디오 디코더는 각 비디오 비트스트림에 따른 다수개의 시퀀스 레벨 헤더 레지스터로 구성되며, 상기 멀티 디코딩 제어부의 제어에 의해 각 비디오 비트스트림의 시퀀스 레벨의 헤더 정보를 해당 시퀀스 레벨 헤더 레지스터에 저장하는 시퀀스 레벨 헤더 저장부가 더 구비되는 것을 특징으로 한다.

<19> 상기 비디오 디코더는 각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따라 디스플레이 번호를 할당하고, 멀티 디스플레이 제어부는 디스플레이 번호가 1인 것을 우선으로 하여 디스플레이 동기에 맞추어 타임 멀티플렉싱하게 출력하고, 출력한 뒤에는 해당 디스플레이 번호를 1씩 줄여 디스플레이 상태를

나타내며, 상기 멀티 디코딩 제어부는 각각의 디스플레이 번호를 보고 0이거나 1이면서 현재 디스플레이되고 있는 비디오 비트스트림의 프레임을 디코딩하도록 제어하는 것을 특징으로 한다.

<20> 상기 멀티 디스플레이 제어부는 비디오 비트스트림의 소스가 비월주사일 경우에 필드 패리티가 맞도록 디코딩하기 위하여 각 비디오 비트스트림에 대해 현재 디스플레이해야 할 필드 패리티와 디스플레이 동기의 필드 패리티가 일치하는지를 검사하여 일치하지 않는 경우에는 디스플레이를 반복(repetition)한 것으로 간주하여 디스플레이 번호를 줄이지 않는 것을 특징으로 한다.

<21> 본 발명에 따른 비디오 디코딩 방법은, 입력되는 다수개의 비디오 비트스트림을 일정 단위로 타임 멀티플렉싱하여 비디오 디코딩을 수행하는 단계와, 각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따른 디스플레이 번호를 할당하고, 디스플레이 동기에 맞추어 디코딩된 데이터를 메모리로부터 읽어 와 타임 멀티플렉싱하게 출력하며, 출력한 뒤에는 상기 해당 디스플레이 번호를 감소시키는 멀티 디스플레이 제어 단계와, 상기 단계의 디스플레이 상태에 따라 다수개의 비디오 비트스트림 중에서 현재 디코딩해야 할 비디오 비트스트림을 결정하는 멀티 디코딩 제어 단계를 포함하여 이루어지는 것을 특징으로 한다.

<22> 상기 멀티 디스플레이 제어 단계는 하나의 디스플레이 동기에서 같은 비디오 비트스트림을 2회이상 디스플레이하지 않으며, 디스플레이가 번호가 1인 것, 2 이상인 것, 0인 것의 순으로 디스플레이할 비디오 비트스트림을 결정하는 것을 특징으로 한다.

<23> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

- <24> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.
- <25> 기존의 1개의 비디오 디코더는 1개의 비디오 비트 스트림을 디코딩하도록 되어 있다. 그러므로, HD급 영상을 디코딩할 수 있는 DTV용 비디오 디코더의 경우에 SD(Standard Definition)급 영상을 디코딩할 경우에는 처리 능력의 일부와 메모리의 일부만을 사용하게 된다.
- <26> 따라서, 본 발명에서는 SD급 영상일 경우에는 남은 처리 능력과 메모리를 활용하여 1개의 비디오 디코더로 여러 개의 SD급 영상을 동시에 디코딩할 수 있도록 하는데 있다.
- <27> 도 1은 이러한 멀티 디코딩을 위한 본 발명에 따른 비디오 디코더의 구성 블록도이다.
- <28> 도 1에서 보면, 시퀀스 레벨 헤더 레지스터(101), 싱글 비디오 디코딩부(102), 메모리 중재기(Memory arbiter)(103), 메모리(104), 멀티 디코딩 제어부(105), 및 멀티 디스플레이 제어부(106)로 구성된다.
- <29> 여기서, 싱글 비디오 디코딩부(102)는 일반적인 MPEG 비디오 디코더와 같으며, 일 예로 선택스 분석부(102-1), VLD부(Variable Length Decoder)(102-2), IS(Inverse Scan)부(102-3), IQ부(Inverse Quantizer)(102-4), IDCT(Inverse Discrete Cosine Transform)부(102-5), MC부(Motion Compensator)(102-6), 및 가산기(102-7)로 구성된다.
- <30> 즉, 메모리(104)의 비트스트림 버퍼를 통해 비디오 비트스트림이 입력되면 선택스 파싱부(102-1)에서는 상기 비디오 비트스트림으로부터 시퀀스 레벨의 헤더 정보를 분리하여 시퀀스 레벨 헤더 레지스터의 해당 레지스터에 저장하고 순수한 데이터 정보의 비

디오 비트스트림만 VLD부(102-2)로 출력한다. 상기 VLD부(102-2)는 입력되는 비디오 비트스트림을 가변길이 디코딩하여 움직임 벡터, 양자화 값, DCT 계수등을 분리한다.

<31> 이때, 상기 DCT 계수가 낮은 주파수 성분부터 전송될 수 있도록 지그-재그 스캔 방식으로 코딩되어 있으므로 IS부(102-3)는 이를 라스터 스캔(Raster Scan) 방식으로 바꾸어 준다. 그리고, IQ부(102-4)는 상기 IS부(102-3)에서 역스캔되어 출력되는 DCT 계수를 양자화 값에 따라 역 양자화하여 IDCT부(102-5)로 출력한다.

<32> 상기 IDCT부(102-5)는 역 양자화된 DCT 계수에 대해 IDCT를 수행하여 가산기(102-7)로 출력하고, MC부(102-6)는 VLD부(11)에서 분리된 움직임 벡터를 이용하여 메모리(104)로부터 읽어 온 이전 프레임 데이터를 보간하여 상기 가산기(102-7)로 출력한다. 상기 가산기(102-7)는 IDCT된 데이터와 움직임 보상된 데이터를 더하여 완전한 영상으로 복원한 후 메모리(104) 내의 해당 프레임 메모리에 저장한다.

<33> 상기 메모리(104)는 HD급 영상을 디코딩하는데 이용되는 일반적인 메모리 사이즈로서, 크게 비트스트림 버퍼와 움직임 보상을 위한 프레임 메모리 영역으로 구분된다. 이때, 각 영역은 멀티 디코딩하는 비디오 비트스트림의 수 즉, n 개의 영역으로 적응적으로 나눌 수 있다. 그리고, vid(비디오 인덱스)는 n 개의 비디오 비트스트림을 구분하기 위한 번호이다.

<34> 여기서, 1개의 비디오 비트스트림은 1개의 프로그램을 의미하며, n 개의 비디오 비트스트림은 n 개와 같거나 n 개보다 적은 수의 프로그램을 의미한다. 즉, n 개의 비디오 비트스트림에는 같은 프로그램이 중복될 수도 있다.

<35> 그리고, 상기 메모리 중재기(103)는 도 1에서와 같은 여러 종류의 데이터들이 타임

멀티플렉싱하게 메모리(104)에 입출력될 수 있도록 제어한다.

<36> 상기 멀티 디스플레이 제어부(106)는 디스플레이 동기(disp_sync)에 따라 메모리 (104) 내의 현재 디스플레이되어야 하는 vid의 프레임 메모리로부터 픽셀값들을 읽어 와 출력시키며, 또한 현재 디스플레이 상태를 나타내주는 신호들을 멀티 디코딩 제어부 (105)로 출력한다. 여기서, disp_sync는 외부에서 입력되는 디스플레이 동기 디스플레이 프레임 동기를 나타내며, 비월주사 디스플레이일 경우는 필드 동기와 필드 패리티도 나타내준다.

<37> 본 발명에서는 60Hz 비월주사 디스플레이 경우를 가정하였으며, disp_sync의 천이 는 필드 동기를 나타낸다. 또한, 값은 필드 패리티(톱 : 0, 바텀 : 1)를 나타낸다. 그리고, disp_vid는 현재 디스플레이중인 비트스트림의 vid를 나타내고, disp_num[vid]는 각 vid의 디스플레이 프레임의 남아있는 디스플레이해야 할 횟수를 나타내며, disp_field_match는 현재 디스플레이 프레임의 디스플레이 필드 패리티가 disp_sync의 패리티와 같은지를 나타낸다.

<38> 즉, 본 발명은 다양한 프레임 레이트와 필름 모드의 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 디코딩하기 위하여 각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따라 디스플레이 번호 disp_num[vid]를 할당한다. 이때, 멀티 디스플레이 제어부(106)는 디스플레이 번호가 1인 것을 우선으로 하여 disp_sync에 맞추어 타임 멀티플렉싱하게 출력하고, 출력한 뒤에는 해당 disp_num[vid]를 1씩 줄여 디스플레이 상태를 나타낸다. 또한, 멀티 디코딩 제어부(105)는 각각의 disp_num[vid]를 보고 0이거나 1이면서 현재 디스플레이되고 있는 비디오 비트스트림의 프레임을 디코딩하도록 제어한다.

<39> 만일, 디스플레이가 60Hz 비월 주사이고, 입력되는 비디오 비트스트림이 30Hz 비월 주사라면 매 디스플레이 프레임마다 disp_num[vid]는 초기값이 2가 되고 한 필드의 디스플레이가 끝나면 disp_num[vid]는 1이 되고, 다시 다른 한 필드의 디스플레이가 끝나면 disp_num[vid]는 0이 된다. 이때, 필드 패리티가 맞지 않아 이전 필드를 반복 디스플레이하는 경우에는 disp_num[vid]도 감소하지 않고 이전값을 그대로 유지한다. 상기 disp_num[vid]의 값은 입력 포맷과 디스플레이 포맷에 따라 달라진다.

<40> 상기 멀티 디코딩 제어부(105)는 멀티 디스플레이 제어부(106)의 상태를 보고 n개의 비디오 비트스트림 중에서 현재 어떤 것을 디코딩해야 하는지를 결정한다. 여기서, dec_vid는 현재 디코딩해야 할 비트스트림의 vid를 나타낸다.

<41> 또한, 상기 시퀀스 레벨 헤더 레지스터(101)는 각 비디오 비트스트림에 대해 따로 따로 시퀀스 레벨 헤더 레지스터를 갖고 dec_vid에 의해 선택적으로 시퀀스 레벨 헤더값들을 리드/라이트한다. 즉, 본 발명은 프레임 단위로 타임 멀티플렉싱하기 때문에 시퀀스 레벨의 헤더 정보는 각각의 비디오 비트스트림마다 따로 저장하여 사용한다.

<42> 전체 동작을 설명하면 다음과 같다.

<43> 먼저, n개의 비디오 비트스트림이 동시에 또는, 타임 멀티플렉싱되어 입력 신호 라인을 통해서 메모리 중재기(103)로 입력된다.

<44> 상기 메모리 중재기(103)는 각 비디오 비트스트림을 메모리(104) 내의 해당 비트스트림 버퍼 영역에 각각 저장한다. 또한, 싱글 비디오 디코딩부(102)의 선택스 파싱부(102-1)로 dec_vid가 가리키는 영역에 대해 선택스 파싱을 위한 비트스트림을 출력하고, MC(102-6)로 움직임 보상을 위한 기준 프레임 데이터를 출력하며, 가산기(102-7)의 결과

즉, 비디오 디코딩 결과인 프레임 데이터를 메모리(104) 내의 해당 프레임 메모리에 저장한다. 그리고, disp_vid가 가리키는 영역의 디스플레이 프레임 메모리로부터 디스플레이 프레임 데이터를 읽어 와 멀티 디스플레이 제어부(106)로 출력한다.

<45> 결과적으로 1개의 비디오 비트스트림을 디코딩하는 싱글 비디오 디코딩부(102)가 멀티 디코딩 제어부(105)의 dec_vid와 멀티 디스플레이 제어부(106)의 disp_vid에 의해 프레임 단위로 타임 멀티플렉싱하게 여러 개의 비디오 비트스트림을 동시에 디코딩하는 것이다.

<46> 따라서, 효과적으로 타임 멀티플렉싱하게 디코딩하기 위해서는 dec_vid와 disp_vid를 어떠한 규칙(rule)에 의해 결정하는가가 중요하다.

<47> 즉, 상기 멀티 디코딩 제어부(105)는 disp_vid, disp_num(vid), disp_field_match 신호에 의해 dec_vid를 결정한다. 먼저 어느 vid의 1 프레임의 디코딩을 완료하고 나면 다음에 디코딩할 vid를 결정한다. 이때 규칙은 다음과 같다.

<48> i) disp_num(vid)=0

<49> ii) 순차주사일 경우 (disp_num(vid) = 1) and (disp_vid=vid)

<50> iii) 비월주사일 경우 (disp_num(vid) = 1) and (disp_vid=vid)

<51> and (disp_field_match = 1)

<52> 위의 3가지 규칙 중 어느 하나를 만족시키는 경우를 다음 dec_vid로 결정한다. 즉, 상기 규칙은 아직 디코딩된 프레임이 디스플레이되지 않았다면 추가로 디코딩할 수 없으므로 현재 디코딩이 가능한 것을 찾는 것을 의미한다.

<53> i)의 경우는 해당 vid의 디스플레이가 이미 끝난 것을 나타내므로 다음 프레임을

추가로 디코딩할 수 있고,

<54> ii)의 경우는 아직 디스플레이할 것이 1번 남았지만 현재 디스플레이가 진행중이므로 추가로 다음 프레임을 디코딩할 수 있고,

<55> iii)의 경우는 ii)와 마찬가지로이지만 비월주사인 경우에는 필드 패리티까지 맞추어 디스플레이한다. 만일, 필드 패리티가 disp_sync와 맞지 않을 경우는 반복을 해야하기 때문에 현재 디스플레이 상태이더라도 disp_field_match가 1인가를 검사해야 한다. 즉, 비디오 비트스트림의 소스가 비월주사일 경우에 필드 패리티가 맞도록 디코딩하기 위하여 멀티 디스플레이 제어부(106)는 각 비디오 비트스트림에 대해 현재 디스플레이해야 할 필드 패리티와 disp_sync의 필드 패리티가 일치하는지를 검사한다. 이때, 일치하지 않는 경우에는 디스플레이를 반복(repetition)한 것으로 간주하여 disp_num(vid)를 줄이지 않으며 멀티 디코딩 제어부(105)도 이 경우는 아직 디스플레이되지 않은 것으로 간주한다.

<56> 상기와 같은 과정을 반복하면서 다음 프레임을 계속 디코딩해 나간다.

<57> 또한, 상기 멀티 디스플레이 제어부(106)는 다음과 같은 순서의 규칙에 의해서 disp_vid를 결정한다.

<58> 1. 1 disp_sync에서 같은 vid를 2회이상 디스플레이하지 않는다.

<59> 2. disp_num(vid)=1인 것을 우선 디스플레이한다.

<60> 3. disp_num(vid) ≥ 2인 것을 디스플레이한다.

<61> 4. disp_num(vid)=0인 것을 디스플레이한다.

<62> 1번 규칙은 모든 비디오 비트스트림을 균일하게 타임 멀티플렉싱하여 디스플레이하

기 위한 것이다. 2,3번 규칙은 디스플레이 회수가 2회 이상 남은 것은 디스플레이를 해도 1회를 더해야 하기 때문에 해당 vid를 디코딩이 가능하도록 해주지 못하지만 1회 남은 것을 디스플레이하면 바로 해당 vid를 추가로 디코딩이 가능하도록 해줄수 있어 디스플레이로 인하여 디코딩 처리가 정지하는 것을 막을 수 있기 때문이다. 즉, 메모리가 빨리 빌 수 있도록 디스플레이 회수가 1회 남은 것을 먼저 디스플레이한다.

<63> 4번의 경우는 비트스트림이 끊겼거나 에러로 인하여 디스플레이 프레임이 없는 경우로 이 경우는 이전 디스플레이 프레임을 반복적으로 출력하기 위한 것이다.

<64> 상기와 같이 하여 프레임 단위로 타임 멀티플렉싱하여 디코딩하는 것이 가능한 이유는 MPEG 관련 비디오 압축 규격에서는 디코딩 처리에 있어 프레임에서의 불연속이 시작 코드와 프레임 메모리로 인해 문제가 발생하지 않기 때문이다. 단지 시퀀스 레벨에서 적용되는 헤더 정보만을 따로 저장하고 있으면 된다.

<65> 실제로 멀티 디코딩을 위해 추가되는 멀티 디코딩 제어부(105), 멀티 디스플레이 제어부(106), 시퀀스 레벨 헤더 레지스터(101)로 인해 추가되는 회로의 크기는 싱글 비디오 디코딩부(102)에 비해 무시할 수 있을 정도이기 때문에 본 발명에서 회로의 증가는 사실상 거의 없다.

<66> 상기와 같은 디코딩 및 디스플레이 규칙을 적용하면 어떠한 포맷의 입력 비트 스트림에 대해서도 타임 멀티플렉싱하게 디코딩이 가능하며, 복수개의 화면 디스플레이가 가능해진다.

<67> 도 2 내지 도 7은 본 발명의 비디오 디코더의 동작 예들을 타이밍도로 보이고 있다. 도 2 내지 도 7에서 (a)는 disp_sync를, (b)는 dec_vid를, (c)는 disp_vid를 나타

내고 있으며, 디스플레이는 60Hz 비월주사를 예로 들고 있다.

<68> 즉, 도 2의 (a) 내지 (c)는 본 발명의 비디오 디코더가 1개의 비디오 비트스트림을 디코딩하는 예를 60Hz 비월주사 디스플레이와 전형적인 30Hz 비월주사 프레임 픽처 top_field_first의 경우이다. 이 경우는 HD급 영상을 디코딩하는 경우라 할 수 있다. 이 경우에는 프레임 픽처이기 때문에 2*disp_sync 구간 동안 디코딩이 이루어지고 매 디스플레이 프레임에는 disp_num가 초기에 2로 설정된다. 디스플레이는 필드 단위로 2회가 이루어지며 필드 패리티는 disp_field_match 신호를 이용하여 disp_sync에 맞추고 있다. 이때, 한 필드의 디스플레이가 끝날 때마다 disp_num 값은 1씩 감소한다.

<69> 도 3 내지 도 6은 비디오 디코더가 다양한 포맷의 2개의 비디오 비트스트림을 디코딩하는 4가지의 전형적인 예를 보이고 있다. 이 경우는 상기된 도 2와 비교하면 HD급 영상의 1/2 정도의 처리 및 메모리가 필요한 SD급 영상 2개를 동시에 디코딩하는 경우라 할 수 있다.

<70> 도 3, 도 4의 (a) 내지 (c)는 같은 프레임 레이트이기 때문에 교대로 디코딩하고 교대로 디스플레이하는 것을 볼 수 있다. 단지 필드 패리티를 맞추는 것 때문에 도 4의 경우는 디스플레이가 교차하는 것을 볼 수 있다.

<71> 도 5의 (a) 내지 (c)는 디코딩되는 비디오 비트스트림이 30Hz와 60Hz이기 때문에 30Hz 1번 디코딩에 60Hz 2번 디코딩이 이루어지는 것을 볼 수 있다. 60Hz의 경우는 순차 주사이므로 필드 패리티에 관계없이 디스플레이되고 있다.

<72> 도 6의 (a) 내지 (c)는 디코딩되는 비디오 비트스트림이 30Hz와 24Hz의 경우로 멀티플렉싱 규칙에 의해 상당히 복잡하게 디스플레이되고 있다. 이때, 24Hz의 경우는 3:2

풀다운하여 60Hz로 디스플레이하기 위해 매 디스플레이 프레임마다 disp_num가 교대로 3 또는 2로 설정되어 디스플레이되고 있다.

<73> 즉, MPEG에서 규정한 각 프레임의 디스플레이 회수를 disp_num에 설정해주기만 하면 어떠한 프레임 레이트나 필름 모드의 경우도 정확히 멀티플렉싱된다.

<74> 도 7의 (a) 내지 (c)에는 본 발명의 비디오 디코더가 4개의 비디오 비트스트림을 디코딩하는 예를 보이고 있다. 이 경우는 앞서 언급한 예에 비교하면 HD급 영상의 1/4 정도의 처리와 메모리가 필요한 SD급 영상 4개를 동시에 디코딩하는 경우로 볼 수 있다.

<75> 이와 같이 본 발명을 적용하면 실제로 HD급 1920*1080 30Hz 비월주사 영상을 디코딩할 수 있는 DTV용 비디오 디코더라면 SD급 720*480 60Hz 순차주사는 3개까지 디코딩이 가능하며, SD급 720*480 30Hz 순차주사일 경우에는 6개까지 디코딩이 가능하다.

<76> 따라서, 도 2 내지 도 7에 나타낸 것과 실질적으로 동일한 방법은 보다 넓고 다양하게 응용될 수 있으므로 본 발명은 도 2 내지 도 7에서 제시한 것에 의해 제한되지 않을 것이다.

<77> 그리고, 본 발명의 비디오 디코더를 이용할 때 타임 멀티플렉싱한 디스플레이 출력이 아니고 병렬로 디스플레이 출력을 얻고자 할 경우에는 각 비디오 비트스트림 디코딩에 기본적으로 필요한 3 프레임 메모리 대신에 4 프레임 메모리를 할당하면 된다. 즉, 각 비디오 비트스트림이 3 프레임 메모리를 사용하여 디코딩할 경우에 멀티 디스플레이 제어부(106)는 타임 멀티플렉싱하여 출력하며, 4 프레임 메모리 이상을 사용할 수 있을 경우에는 타임 멀티플렉싱 출력뿐만 아니라 병렬 출력도 가능하다.

【발명의 효과】

<78> 이상에서와 같이 본 발명에 따른 비디오 디코더 및 디코딩 방법에 의하면, 다양한 프레임 레이트와 필름 모드의 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 디코딩함으로써, PIP, POP, 멀티 채널 방송등으로 여러 개의 비디오 비트스트림을 동시에 처리해야 할 필요가 있을 때 여러 개의 비디오 디코더를 추가로 사용하는 대신에 하나의 HD급 비디오 디코더로 처리가 가능하므로 필요한 회로와 메모리의 크기를 줄이고 이를 ASIC에 적용할 경우 IC의 크기를 더욱 작게 함으로써 경쟁력을 높일 수 있다. 또한, 디코딩할 수 있는 개수도 처리 능력과 메모리의 크기만 만족된다면 얼마든지 탄력적으로 조절할 수 있어 다양한 응용에 이용할 수 있다.

<79> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<80> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】

【청구항 1】

비트스트림 버퍼와 프레임 메모리 영역으로 구분되며, 각 영역은 멀티 디코딩하는 비디오 비트스트림의 수에 따라 다시 구분되어 다수개의 입력 비디오 비트스트림을 해당 영역에 각각 저장하는 메모리;

상기 메모리를 통해 입력되는 다수개의 비디오 비트스트림을 일정 단위로 타임 멀티플렉싱하여 비디오 디코딩을 수행한 후 상기 메모리의 해당 영역에 저장하는 싱글 비디오 디코딩부;

각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따른 디스플레이 번호를 할당하고, 디스플레이 동기에 맞추어 디코딩된 데이터를 메모리로부터 읽어 와 타임 멀티플렉싱하게 출력하며, 출력한 뒤에는 상기 해당 디스플레이 번호를 감소시키는 멀티 디스플레이 제어부; 그리고

상기 멀티 디스플레이 제어부의 디스플레이 상태에 따라 다수개의 비디오 비트스트림 중에서 현재 디코딩해야 할 비디오 비트스트림을 결정하는 멀티 디코딩 제어부를 포함하여 구성되는 것을 특징으로 하는 비디오 디코더.

【청구항 2】

제 1 항에 있어서,

각 비디오 비트스트림에 따른 다수개의 시퀀스 레벨 헤더 레지스터로 구성되며, 상기 멀티 디코딩 제어부의 제어에 의해 각 비디오 비트스트림의 시퀀스 레벨의 헤더 정보

를 해당 시퀀스 레벨 헤더 레지스터에 저장하는 시퀀스 레벨 헤더 저장부가 더 구비되는 것을 특징으로 하는 비디오 디코더.

【청구항 3】

- 제 1 항에 있어서, 상기 싱글 비디오 디코딩부는

다수개의 입력 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 디코딩하는 것을 특징으로 하는 비디오 디코더.

【청구항 4】

제 1 항에 있어서, 상기 멀티 디스플레이 제어부는

각 비디오 비트스트림에 대해 현재 디스플레이해야 할 필드 패리티와 디스플레이 동기의 필드 패리티가 일치하는지를 검사하여 일치하지 않는 경우에는 디스플레이 번호를 줄이지 않는 것을 특징으로 하는 비디오 디코더.

【청구항 5】

제 1 항에 있어서, 상기 멀티 디스플레이 제어부는

각 비디오 비트스트림이 4 프레임 메모리 이상을 사용하면 병렬 출력도 가능한 것을 특징으로 하는 비디오 디코더.

【청구항 6】

입력되는 다수개의 비디오 비트스트림을 프레임 단위로 타임 멀티플렉싱하여 비디오 디코딩을 수행하는 단계;

각 비디오 비트스트림의 매 디스플레이 프레임마다 프레임 레이트와 필름 모드 신호에 따른 디스플레이 번호를 할당하고, 디스플레이 동기에 맞추어 디코딩된 데이터를

메모리로부터 읽어 와 타임 멀티플렉싱하게 출력하며, 출력한 뒤에는 상기 해당 디스플레이 번호를 감소시키는 멀티 디스플레이 제어 단계; 그리고

상기 단계의 디스플레이 상태에 따라 다수개의 비디오 비트스트림 중에서 현재 디코딩해야 할 비디오 비트스트림을 결정하는 멀티 디코딩 제어 단계를 포함하여 이루어지는 것을 특징으로 하는 비디오 디코딩 방법.

【청구항 7】

제 6 항에 있어서, 상기 멀티 디스플레이 제어 단계는

하나의 디스플레이 동기에서 같은 비디오 비트스트림을 2회이상 디스플레이하지 않으며, 디스플레이가 번호가 1인 것, 2 이상인 것, 0인 것의 순으로 디스플레이할 비디오 비트스트림을 결정하는 것을 특징으로 하는 비디오 디코딩 방법.

【청구항 8】

제 6 항에 있어서, 상기 멀티 디코딩 제어 단계는

각각의 비디오 비트스트림의 디스플레이 번호를 보고 디스플레이가 끝난 비디오 비트스트림의 프레임 또는, 디스플레이가 한번 남아있으면서 현재 디스플레이되고 있는 비디오 비트스트림의 프레임을 디코딩하도록 제어하는 것을 특징으로 하는 비디오 디코딩 방법.

【청구항 9】

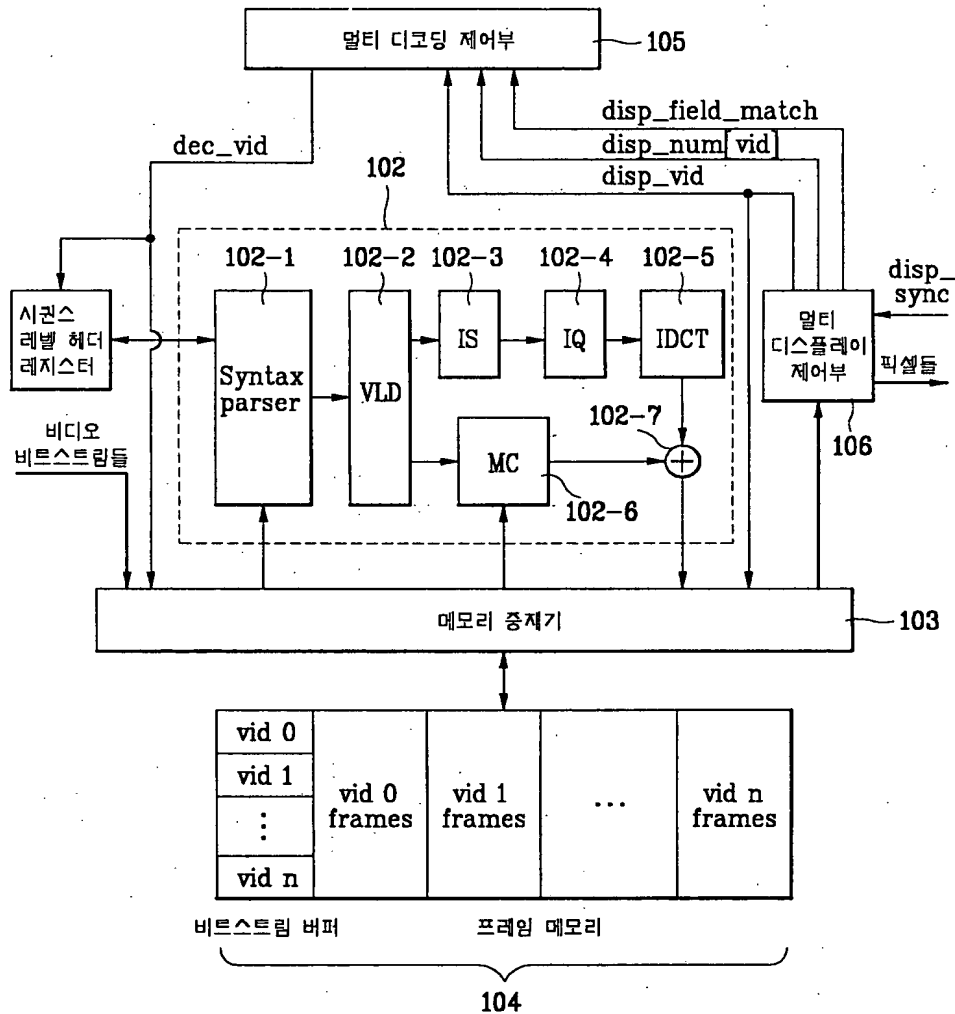
제 8 항에 있어서, 상기 멀티 디코딩 제어 단계는

비디오 비트스트림의 소스가 비월주사인 경우에는 각 비디오 비트스트림에 대해 현재 디스플레이해야 할 필드 패리티와 디스플레이 동기의 필드 패리티가 일치하는 경우에

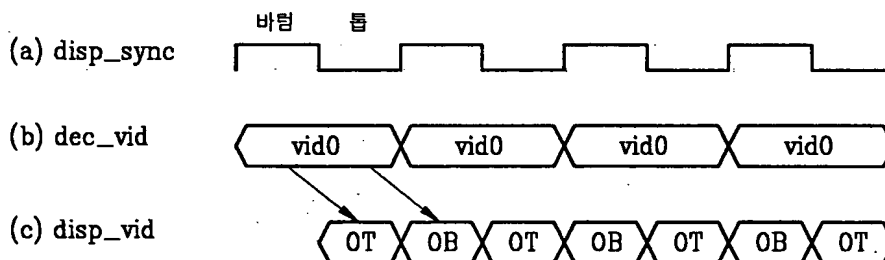
만 비디오 비트스트림의 다음 프레임을 디코딩하도록 제어하는 것을 특징으로 하는 비디오 디코딩 방법.

【도면】

【도 1】



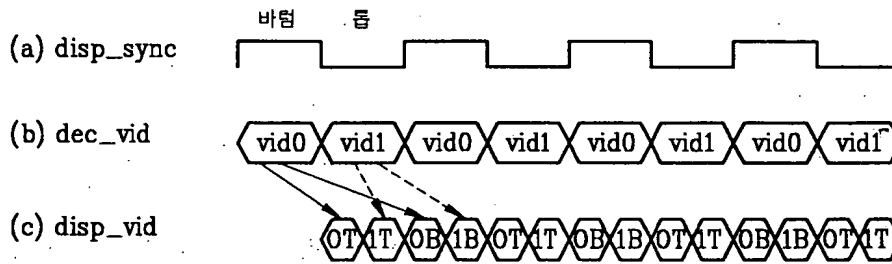
【도 2】



display : 60Hz 비월주사 디스플레이

video 0 : 30Hz 비월주사 프레임 픽처 top_field_first

【도 3】

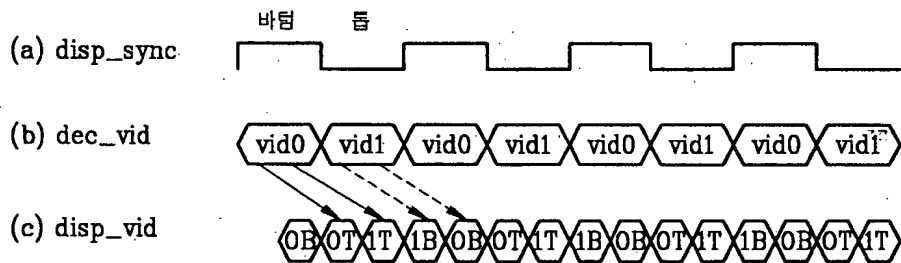


display : 60Hz 비월주사 디스플레이

video 0 : 30Hz 비월주사 프레임 픽처 top_field_first

video 1 : 30Hz 비월주사 프레임 픽처 top_field_first

【도 4】

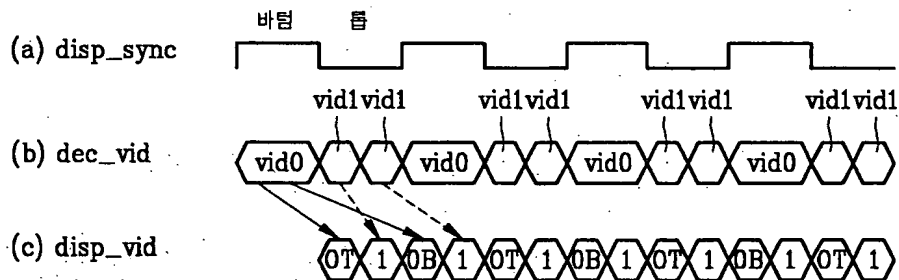


display : 60Hz 비월주사 디스플레이

video 0 : 30Hz 비월주사 프레임 픽처 bottom_field_first

video 1 : 30Hz 비월주사 프레임 픽처 top_field_first

【도 5】

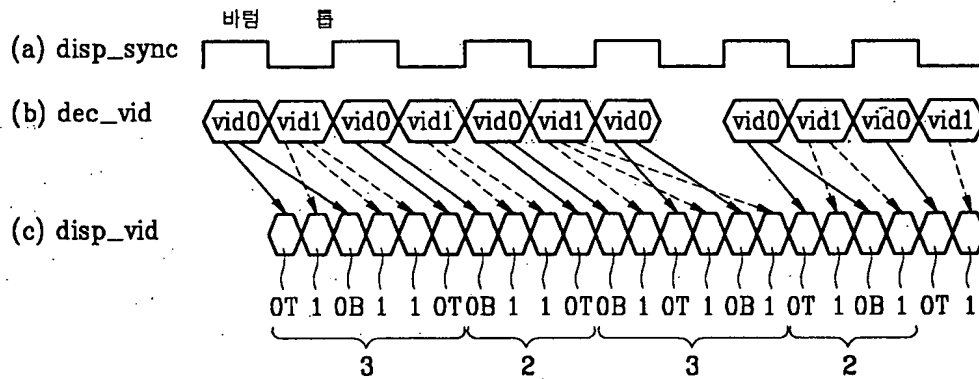


display : 60Hz 비월주사 디스플레이

video 0 : 30Hz 비월주사 프레임 픽처 top_field_first

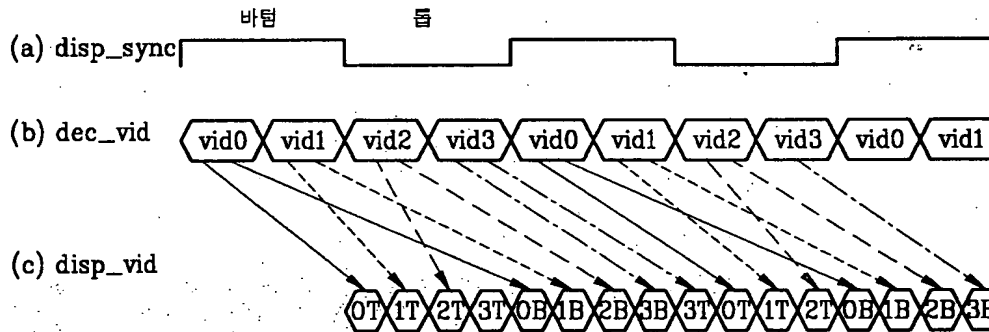
video 1 : 60Hz 순차주사 프레임 픽처

【도 6】



display : 60Hz 비월주사 디스플레이
 video 0 : 30Hz 비월주사 프레임 픽처 top_field_first
 video 1 : 24Hz 순차주사 프레임 픽처(3:2 pull_down)

【도 7】



display : 60Hz 비월주사 디스플레이
 video 0 : 30Hz 비월주사 프레임 픽처 top_field_first
 video 1 : 30Hz 비월주사 프레임 픽처 top_field_first
 video 2 : 30Hz 비월주사 프레임 픽처 top_field_first
 video 3 : 30Hz 비월주사 프레임 픽처 bottom_field_first